

Study on ON-Resistance Degradation Modeling Used for HCI Induced Degradation Characteristic of LDMOS Transistors

○ **Masashi Higashino**

H.Aoki, N.Tsukiji, M.Kazumi, T.Totsuka,
S.Shibuya, K.Kurihara, R.Takahashi, H.Kobayashi



Gunma University, Japan
Kobayashi Laboratory



Supported by MoDeCH Inc.

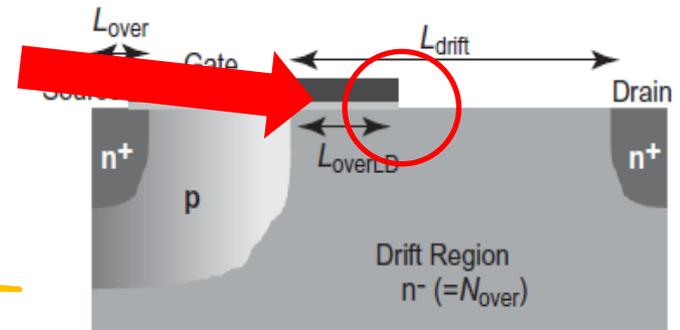
Outline of our Research

Research Purpose

- Development of on-resistance degradation model by Hot Carrier Injection (HCI) in n-channel LDMOS'

Research Approach

HCI caused by high lateral electric field at gate edge



Increase of On-Resistance!!

HiSIM-HV
Model



- ① Maximum Electric Field Model
- ② On-Resistance Degradation Model depend on the Time & Temperature



Proposed
Model

Research Goal

- Model derivations
- Verifications of our model by plugging into the HiSIM-HV model on SPICE

Research Results

Maximum Electric Field Model

$$E_m(V_{DS}, V_{GS}) = A \cdot \exp[-\exp(-z) - z + 1]$$

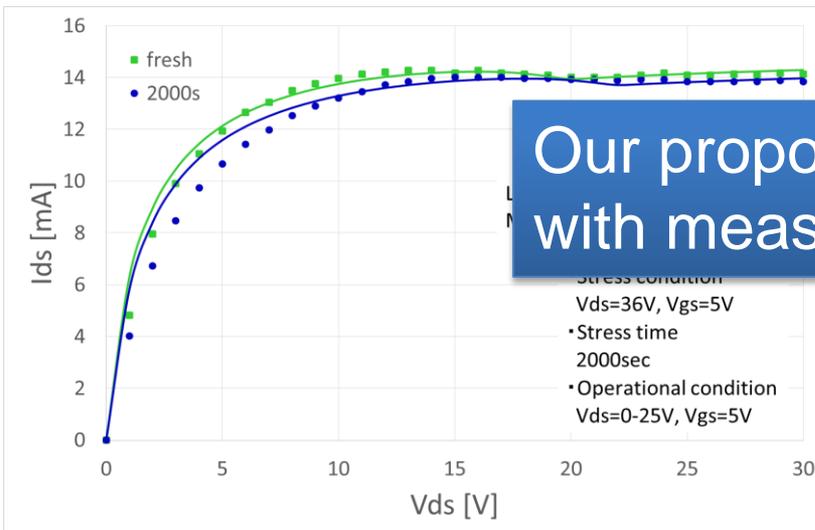
$$A = \alpha(V_{DS} - V_{DSAT}) / L_{eff}$$

$$z = (V_{GS} - V_{TH} - V_{GS_max}) / \beta k_B T$$

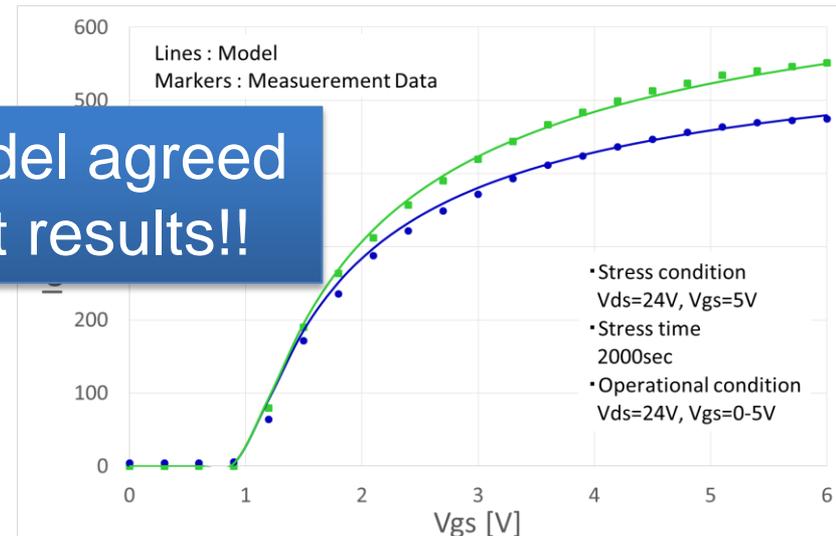
On-Resistance Model

$$RD_{deg} = RD_{fresh} \cdot \left\{ 1 + A_1 \cdot \ln\left(1 + \frac{t}{\tau}\right) + A_2 \cdot \ln\left(1 + \frac{t}{\gamma\tau}\right) \right\}$$

Simulation & Measurement Results



Our proposed model agreed with measurement results!!



A DC Model for HCI degradations is completed.

Question @ poster session

1. 海外学生

- どれがオリジナルの式なのか
- グラフの説明をしてください

2. 企業の方

- この電界関数モデルが物理現象を再現しているの??
- HCIによる劣化現象は研究が進んでいるけど、なぜこの研究に取り組んでいるのか。(新規性)

3. 東工大生

- AC特性の場合の研究はしているのか
- 劣化時間が短いけど、それでいいのか。

4. 日本学生

- 劣化時間を横軸、Idの劣化を縦軸にとった実験結果とかあるのか

5. 企業の方

- T-CAD等のデバイスシミュレータを使用して電界を算出し、研究に取り組んでいるのか

6. ルネサスの方

- 新規性を分かりやすく研究概要を説明してください。

7. 京都工芸繊維大学生?? (小林和淑研究室だそうです。)

- 私の研究ではHiSIM-HVモデルにverilog-Aを用いて劣化解析をしています。過渡解析をした際に、スパイクノイズの様なものが出てしまい困ってる。あなたの研究では、過渡解析を行っていますか。

Question @ poster session

8. ソシオネクストの方

- この発表は、実測とシミュレーション結果を載せているのですか
- AC解析はどうする予定なのか。AC特性による劣化測定をやったのか。
- Drまで進むのか。どこまでがこの研究の目標なのか。